

PATENT ABSTRACTS OF JAPAN

cited reference 2

(11)Publication number : 2001-094003
(43)Date of publication of application : 06.04.2001

(51)Int.Cl.

H01L 23/12
H01L 21/56
H01L 21/60

(21)Application number : 11-268472
(22)Date of filing : 22.09.1999

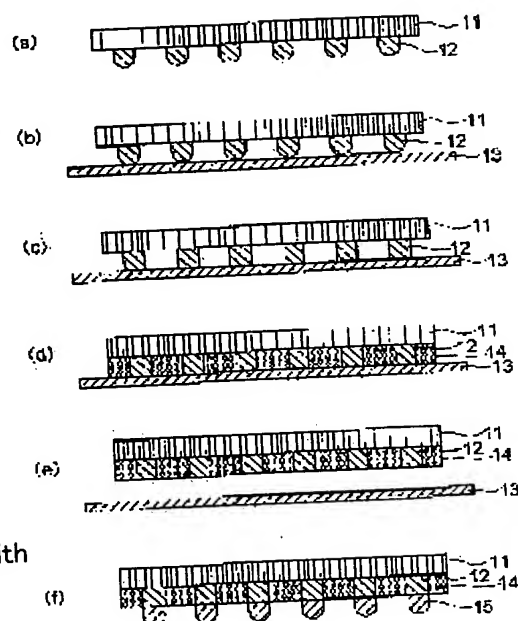
(71)Applicant : NEC CORP
(72)Inventor : NAKAMIGAWA TAKESHI

(54) SEMICONDUCTOR DEVICE AND PRODUCTION METHOD THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device and production thereof, with which a package can be miniaturized and handling or performance test and the like can be simplified by using no rewiring board while attaining cost reduction.

SOLUTION: For the production of this semiconductor device, the semiconductor device provided with a semiconductor chip 11 to connect electrodes corresponding to the plural electrodes of a wiring board to the respective electrodes is produced. In this production, plural metal bumps 12 corresponding to the electrode patterns of the semiconductor chip 11 are formed at least on one of the semiconductor chip 11 and a temporary board 13 having a size corresponding to this semiconductor chip 11, the semiconductor chip 11 and the temporary board 13 are mutually fixed via the metal bumps 12, a protective layer 14 is formed by filling the gaps between the semiconductor chip 11 and the temporary board 13 and mutually between the metal bumps 12 with underfill resins and causing these resins to harden, and the temporary board 13 is removed from the protective layer 14 and the metal bumps 12.



LEGAL STATUS

[Date of request for examination]	09.08.2000
[Date of sending the examiner's decision of rejection]	13.03.2003
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]	
[Date of final disposal for application]	
[Patent number]	3450236
[Date of registration]	11.07.2003
[Number of appeal against examiner's decision of rejection]	2003-06123
[Date of requesting appeal against examiner's decision of rejection]	10.04.2003
[Date of extinction of right]	

[Claim(s)]

[Claim 1] In the manufacture approach of manufacturing the semiconductor device equipped with the semiconductor chip by which the electrode corresponding to each electrode is connected to two or more electrodes of a wiring substrate At least to one side of a temporary substrate which has the magnitude corresponding to a semiconductor chip and this semiconductor chip Two or more metal connection members corresponding to the pattern of the electrode of said semiconductor chip are formed. Said semiconductor chip and temporary substrate are mutually fixed through said metal connection member. The manufacture approach of the semiconductor device characterized by filling up with and stiffening resin between said semiconductor chips and temporary substrates and between said metal connection members, forming a protective layer, and removing said temporary substrate from said protective layer and a metal connection member.

[Claim 2] The manufacture approach of a semiconductor device according to claim 1 that said metal connection member consists of the metal bump formed on the electrode of said semiconductor chip.

[Claim 3] The manufacture approach of a semiconductor device according to claim 1 that said metal connection member consists of thin line-like wiring.

[Claim 4] The manufacture approach of a semiconductor device according to claim 1 that said metal connection member consists of the metal bump formed on the electrode of said semiconductor chip, and the connection terminal pattern formed on said temporary substrate corresponding to this metal bump's location.

[Claim 5] The manufacture approach of a semiconductor device according to claim 4 that said connection terminal pattern consists of a different ingredient from said temporary substrate.

[Claim 6] The manufacture approach of a semiconductor device according to claim 4 that said connection terminal pattern consists of the same ingredient as said temporary substrate.

[Claim 7] The manufacture approach of a semiconductor device according to claim 6 that said connection terminal pattern is formed in said temporary substrate of plating processing, etching processing, or press working of sheet metal.

[Claim 8] The manufacture approach of a semiconductor device given in any of claims 4-7 which follow the removal process of said temporary substrate and form another protective layer which protects said connection terminal pattern exposed from said protective layer they are.

[Claim 9] The manufacture approach of a semiconductor device given in any of claims 1-8 which follow the removal process of said temporary substrate and form a solder bump in an exposed part from said protective layer of said metal connection member they are.

[Claim 10] The manufacture approach of a semiconductor device given in any of claims 1-9 which remove said temporary substrate from said protective layer and a metal connection member by exfoliation or etching mechanically at the removal process of said temporary substrate they are.

[Claim 11] The manufacture approach of a semiconductor device given in any of claims 1-10 they are that said temporary substrate consists of the plate member in which surface treatment was carried out by a Teflon coat or Teflon sinking in.

[Claim 12] The manufacture approach of a semiconductor device given in any of claims 1-11 which push said temporary substrate and semiconductor chip mutually by the predetermined load, heating said metal connection member in case said semiconductor chip and temporary substrate are fixed mutually, they are.

[Claim 13] The manufacture approach of a semiconductor device given in any of claims 1-12

they are that said temporary substrate consists of a metal plate manufacturing member.

[Claim 14] The semiconductor device characterized by having the protective layer which consists of the resin with which it filled up between the metal connection member connected to each electrode of a semiconductor chip, and said metal connection member in the semiconductor device equipped with the semiconductor chip by which the electrode corresponding to each electrode is connected to two or more electrodes of a wiring substrate, and the point of said metal connection member being exposed from said protective layer.

[Claim 15] The semiconductor device according to claim 14 with which the point of said metal connection member exposed from said protective layer is formed in the same plane as said protective layer.

[Claim 16] The semiconductor device according to claim 14 or 15 with which said protective layer consists of two or more resin layers by which the laminating was carried out.

[Claim 17] The semiconductor device given in any of claims 14-16 they are with which said metal connection member consists of the metal bump formed in the electrode of said semiconductor chip.

[Claim 18] The semiconductor device given in any of claims 14-16 they are with which said metal connection member consists of thin line-like wiring.

[Claim 19] The semiconductor device given in any of claims 14-16 they are with which said metal connection member consists of the metal bump formed in the electrode of said semiconductor chip, and the connection terminal pattern formed on said temporary substrate corresponding to this metal bump's location.

[Claim 20] The semiconductor device according to claim 19 further equipped with another protective layer which protects said connection terminal pattern.

[Claim 21] A semiconductor device given in any of claims 14-20 which are further equipped with the solder bump formed in the exposed part from said protective layer of said metal connection member they are.

[Detailed Description of the Invention]

[0001]

[Field of the Invention] Especially this invention relates to the semiconductor device aiming at the miniaturization of package size etc., and its manufacture approach about a semiconductor device and its manufacture approach.

[0002]

[Description of the Prior Art] In the semiconductor device in recent years, in order to respond to the request of high-performance-izing of electronic equipment, the formation of small lightweight, and improvement in the speed, the package of the neomorphism is developed one after another, a miniaturization and thin-shape-izing of equipment are realized by high integration of the semiconductor chip (it is also hereafter called an LSI chip) to carry, and the further high-performance-izing and improvement in the speed of electronic equipment are attained. In order to realize high performance-ization of an LSI chip, the package by the FCBGA (flip chip ballgrid array) method which made high density assembly possible is also known.

[0003] Drawing 11 is the sectional view showing the semiconductor device equipped with the package structure of the conventional type by the FCBGA method. This semiconductor device has LSI chip 11, two or more solder bumps 12 corresponding to the circuit pattern with which LSI chip 11 was equipped, and the rewiring substrate (or INTAPOZA) 24 of the multilayer structure equipped with two or more electrode pads 33. The rewiring substrate 24 raises handling nature, such as handling, arrangement of the solder ball 25 corresponding to the connection of the standardized circuit board is obtained, and it has the function of

protecting LSI chip 11 front face from a probe at the time of the performance test of LSI chip 11 further.

[0004] A solder resist 34 is formed in parts other than electrode pad 33 of a front face, and, as for the rewiring substrate 24, the solder ball 25 is formed in the field opposite to the electrode pad 33. Under-filling resin 14 is poured in and hardened by the clearance between each solder bump 12 and the electrode pad 33 in the condition of having been combined electrically [the solder bump 12 and the electrode pad 33] and mechanically.

[0005] In case the above-mentioned conventional semiconductor device is manufactured, when alignment of LSI chip 11 is carried out to the rewiring substrate 24 and it carries out a reflow to it, both sides are combined first. Furthermore, after performing washing etc. if needed, under-filling resin 14 is poured into the clearance between LSI chip 11 and the rewiring substrate 24, curing of the under-filling resin 14 is carried out, and it is stiffened. Then, the connection terminal of solder ball 15 grade is formed in the rear face of the rewiring substrate 24 if needed.

[0006]

[Problem(s) to be Solved by the Invention] In the above-mentioned conventional semiconductor device, since it is difficult to exfoliate LSI chip 11 from the rewiring substrate 24, LSI chip 11 judged that is poor by the performance test is discarded the whole rewiring substrate 24. For this reason, the rewiring substrate 24 must be manufactured as at a low price as possible, and will be manufactured by the substrate manufacture approach using an exposure machine (aligner), without using an LSI stepper. Although a cost cut can be aimed at, since detailed-ization like [at the time of using an LSI stepper] becomes difficult according to this substrate manufacture approach, the rewiring substrate 24 will be enlarged as compared with LSI chip 11, and the package itself will be enlarged.

[0007] Here, although adopting a bare chip method for small/simplification of a package is also considered, since it becomes the structure which is thin and does not have a protective layer on the surface of an LSI chip according to this method, sufficient attention for the handling by handling etc. must be paid, and an activity becomes complicated. [of the whole] By the bare chip method, further, it is easy to receive damages by the test of an electrode pad, such as probing marks and a blemish, and implementation of a performance test becomes difficult.

[0008] This invention aims at offering the semiconductor device which can facilitate handling and performance tests, such as handling, and its manufacture approach while it attains the miniaturization of a package by not using a rewiring substrate, though a cost cut is realized in view of the above.

[0009]

[Means for Solving the Problem] In order to attain the above-mentioned purpose, the manufacture approach of the semiconductor device of this invention In the manufacture approach of manufacturing the semiconductor device equipped with the semiconductor chip by which the electrode corresponding to each electrode is connected to two or more electrodes of a wiring substrate At least to one side of a temporary substrate which has the magnitude corresponding to a semiconductor chip and this semiconductor chip Two or more metal connection members corresponding to the pattern of the electrode of said semiconductor chip are formed. Said semiconductor chip and temporary substrate are mutually fixed through said metal connection member, resin is filled up with and stiffened between said semiconductor chips and temporary substrates and between said metal connection members, a protective layer is formed, and it is characterized by removing said temporary substrate from said protective layer and a metal connection member.

[0010] By the manufacture approach of the semiconductor device of this invention, since a package is manufactured by fixing a semiconductor chip to a temporary substrate, making the clearance formed at this time pour in and harden resin, and removing a temporary substrate, package size is made comparable as a semiconductor chip, and the whole semiconductor device can be miniaturized. moreover, the metal connection member linked to each electrode of a semiconductor chip is exposed from a protective layer -- it is simple, reliable package structure can be acquired, productivity can be raised, and a cost cut can be aimed at. Furthermore, since probing is carried out to the metal connection member which was connected to the electrode of a semiconductor chip and covered by resin in the perimeter, the electrode pad of semiconductor chip original can be protected from a blemish, damage by contact, etc. Thereby, handling and performance tests, such as handling, become simple.

[0011] It is desirable that said metal connection member consists of the metal bump formed on the electrode of said semiconductor chip by this invention here. In this case, the process which fixes a semiconductor chip and a temporary substrate mutually through a metal connection member becomes simple.

[0012] Or it is also a desirable mode that replace with above and said metal connection member consists of thin line-like wiring. In this case, thin line-like wiring can be formed simple by metal mold molding.

[0013] Or it is also a desirable mode that replace with above and said metal connection member consists of the metal bump formed on the electrode of said semiconductor chip and the connection terminal pattern formed on said temporary substrate corresponding to this metal bump's location. In this case, the variation of the circuit pattern by the connection terminal pattern exposed from a protective layer can be increased by changing the pattern formed on a temporary substrate.

[0014] Moreover, it is desirable that said connection terminal pattern consists of a different ingredient from said temporary substrate. In this case, the connection terminal pattern exposed from a protective layer can be easily formed by carrying out etching removal of the part projected from the protective layer of a temporary substrate.

[0015] Or it is also a desirable mode that replace with above and said connection terminal pattern consists of the same ingredient as said temporary substrate. Also in this case, the connection terminal pattern exposed from a protective layer can be easily formed by carrying out etching removal of the part projected from the protective layer of a temporary substrate.

[0016] Preferably, said connection terminal pattern is formed in said temporary substrate of plating processing, etching processing, or press working of sheet metal. In this case, formation processing of a connection terminal pattern becomes easy.

[0017] Moreover, it is desirable to follow the removal process of said temporary substrate and to have the formation process of another protective layer which protects said connection terminal pattern exposed from said protective layer. Since a connection terminal pattern can be protected by formed another protective layer by this, the handling at the time of handling and implementation of a performance test become still simpler.

[0018] Furthermore, it is also a desirable mode to follow the removal process of said temporary substrate and to form a solder bump in an exposed part from said protective layer of said metal connection member. Thereby, the electrode of a semiconductor chip is certainly connectable with the electrode of a wiring substrate through a metal connection member and a solder bump.

[0019] Furthermore, it is desirable to remove said temporary substrate from said protective layer and a metal connection member by exfoliation or etching mechanically at the removal process of said temporary substrate. In this case, when the adhesion reinforcement of the

temporary substrate to a protective layer and a metal connection member is small, it exfoliates mechanically, and when adhesion reinforcement is large, according to a situation, a process can be chosen so that etching removal may be carried out.

[0020] Preferably, said temporary substrate consists of plate members which carried out surface treatment according to a Teflon coat or Teflon sinking in. In this case, the removal process of a temporary substrate becomes simple.

[0021] Moreover, in case said semiconductor chip and temporary substrate are fixed mutually, it is desirable to perform processing which pushes said temporary substrate and semiconductor chip mutually by the predetermined load, heating said metal connection member. The point of the metal connection member which exposes a temporary substrate from a protective layer in the state of the completion which exfoliated can be formed in the shape of flatness from a metal connection member by this, and the contact nature and the conductivity of a metal connection member as a terminal can be made good.

[0022] Furthermore, it is also a desirable mode to constitute said temporary substrate from a metal plate manufacturing member. In case a reflow is carried out for example, a metal connection member consisting of a solder bump, and forcing a temporary substrate on a solder bump by this, the tip configuration of the solder bump who exposes from a protective layer at a next process can be formed as a good flat side.

[0023] The semiconductor device of this invention is equipped with the protective layer which consists of the resin with which it filled up between the metal connection member connected to each electrode of a semiconductor chip, and said metal connection member in the semiconductor device equipped with the semiconductor chip by which the electrode corresponding to each electrode is connected to two or more electrodes of a wiring substrate, and is characterized by the point of said metal connection member being exposed from said protective layer.

[0024] in the semiconductor device of this invention, the metal connection member linked to each electrode of a semiconductor chip was exposed from the protective layer -- it is simple, reliable package structure can be acquired, package size can be made comparable as a semiconductor chip, and the miniaturization of the whole semiconductor device can be realized. Moreover, since probing will be performed to the metal connection member which was formed on the electrode of a semiconductor chip and covered by resin in the perimeter, the electrode pad of semiconductor chip original can be protected and handling and performance tests, such as handling, become simple.

[0025] It is desirable that the point of said metal connection member exposed from said protective layer is formed in the same plane as said protective layer here. Positive conductivity is obtained in case this forms a solder ball in the point of the metal connection member of the completed semiconductor device.

[0026] Moreover, said protective layer can consist of two or more resin layers by which the laminating was carried out. For example, since the flow stress resulting from the difference of the coefficient of thermal expansion of a semiconductor device and a wiring substrate acts on a solder ball in case the completed semiconductor device and a wiring substrate are held in reflow equipment, melting of the solder ball formed in the point of a metal connection member is carried out and a semiconductor device is mounted in a wiring substrate, when remarkable, a crack may occur on a solder ball. However, since spacing of a semiconductor device and a wiring substrate can be suitably adjusted by a protective layer being multilayered, it becomes possible to cancel flow stress.

[0027] Furthermore, it is desirable that said metal connection member consists of the metal bump formed on the electrode of said semiconductor chip. In this case, the structure in which

a metal connection member is exposed can be acquired from a protective layer at a simple process.

[0028] Furthermore, it is desirable that said metal connection member consists of thin line-like wiring. In this case, thin line-like wiring can be easily formed by metal mold molding.

[0029] Or it is also a desirable mode that replace with above and said metal connection member consists of the metal bump formed on the electrode of said semiconductor chip and the connection terminal pattern formed on said temporary substrate corresponding to this metal bump's location. In this case, the circuit pattern of varieties can be obtained by modification of a connection terminal pattern.

[0030] Preferably, it has further another protective layer which protects said connection terminal pattern. In this case, since a connection terminal pattern can be protected by another protective layer, the handling at the time of handling and implementation of a performance test become still simpler.

[0031] Moreover, it is desirable to have further the solder bump formed in the exposed part from said protective layer of said metal connection member. In this case, the electrode of a semiconductor chip is easily connectable with the electrode of a wiring substrate through a metal connection member and a solder bump.

[0032]

[Embodiment of the Invention] Hereafter, with reference to a drawing, this invention is further explained to a detail based on the example of an operation gestalt of this invention. Drawing 1 is the sectional view showing the production process of the semiconductor device (package) in the example of the 1st operation gestalt of this invention, and (a) - (f) shows each production process gradually.

[0033] First, as shown in drawing 1 (a), the metal bump 12 is formed in the electrode forming face of LSI chip 11 using the solder which consists of tin (Sn) and lead (Pb). Since the metal bump 12 just uses it as an external connection terminal, the quality of the material is not limited to solder, and she can also use other ingredients, such as gold (Au).

[0034] LSI chip 11 is carried carrying out alignment of the metal bump 12 on the temporary substrate 13 for manufacture, as shown in drawing 1 (b) after the metal bump's 12 formation. The temporary substrate 13 is formed in a front face in the shape of [without irregularity] a flat side, and has the magnitude corresponding to LSI chip 11. For example, the temporary substrate 13 can be obtained by giving a Teflon coat to the front face of metal plate manufacturing members, such as copper, stainless steel, or aluminum, or infiltrating Teflon.

[0035] Subsequently, as shown in drawing 1 (c), a predetermined load is added between LSI chip 11 and the temporary substrate 13, and the metal bump 12 is stuck on the front face of the temporary substrate 13. For example, when LSI chip 11 has 1000 metal bumps 12, LSI chip 11 and the temporary substrate 13 are mutually pushed by the 10-50kg load under the temperature of 100-150 degrees C. In addition, flux may be applied to the temporary substrate 13 or the metal bump 12 the sake [on a soldered-joint disposition].

[0036] Although it is to pressurize LSI chip 11 and the temporary substrate 13 by the comparatively light load of 10-50kg under the temperature of 100-150 degrees C from the purpose which mitigates the load to LSI chip 11, and raises the adhesion force of the metal bump 12 and the both sides of the temporary substrate 13, LSI chip 11 and the adhesion conditions of the temporary substrate 13 are not limited above. Moreover, the tool of dedication etc. can also be used in order to hold adhesion with LSI chip 11 and the temporary substrate 13.

[0037] Furthermore, as shown in drawing 1 (d), pour under-filling resin 14 into the clearance

between LSI chip 11 and the temporary substrate 13 (gap), and it is made to harden under predetermined conditions, and considers as the protective layer which takes care of LSI chip 11 and the metal bump 12. Using the epoxy system paste for the semi-conductor closures which contains the filler which uses a silicon dioxide as a principal component, for example as under-filling resin 14 as the above-mentioned conditions, this under-filling resin 14 is poured into a gap using a syringe, a needle, and a dispenser, and carrying out curing for 1 hour and making it harden at 150 degrees C is mentioned.

[0038] Subsequently, as shown in drawing 1 (e), the temporary substrate 13 is exfoliated from the metal bump 12 and the under-filling resin 14 of a condition of drawing 1 (d). Here, since processing of a Teflon coat etc. is performed to the temporary substrate 13, an exfoliation process is performed easily. Furthermore, as shown in drawing 1 (f), the solder ball 15 for external connection is formed to each metal bump 12 who exposes from under-filling resin 14.

[0039] As mentioned above, in the example of the 1st operation gestalt, since each point of the metal bump 12 hardened by forcing the temporary substrate 13 on the metal bump 12 by the predetermined pressure is formed in the shape of flatness rather than is spherical, when it exfoliates the temporary substrate 13 from LSI chip 11 in drawing 1 (e), for example, a point can obtain a flatness-like terminal.

[0040] For example, if the metal bump's 12 tip is a globular form-like when forming a bump 15 in the metal bump's 12 point, among the globular form metal bumps 12 which retreated from the front face and this front face of a protective layer (14), as shown in drawing 2 (a), under-filling resin 14 will enter, and good contact nature and electric conductivity will be spoiled. However, in this example of an operation gestalt, since the tip flatness-like metal bump 12 who exposes certainly is obtained from a protective layer (14) as shown in drawing 2 (b), penetration of under-filling resin 14 can be prevented and good contact nature and electric conductivity can be obtained. The resin restoration condition as opposed to a tip flatness-like metal bump for the resin restoration condition to a tip globular form metal bump was shown in drawing 2 (b) at drawing 2 (a), respectively.

[0041] Next, the example of the 2nd operation gestalt of this invention is explained. Drawing 3 is the sectional view showing the production process of the semiconductor device in this example of an operation gestalt, and (a) - (f) shows each production process gradually. The pad pattern on a temporary substrate is omitted in drawing 3.

[0042] First, as shown in drawing 3 (a), the metal bump 12 is formed in the electrode forming face of LSI chip 11 using the same solder as the example of the 1st operation gestalt. Furthermore, as shown in drawing 3 (b), on the temporary substrate 13 which consists of the copper (Cu) with which the predetermined pattern was formed, aluminum (aluminum), etc., alignment of LSI chip 11 which has the metal bump 12 is carried out to a false pattern at a precision, and it is carried. In addition, flux may be applied to the temporary substrate 13 or the metal bump 12 for improvement in soldered-joint nature.

[0043] Like drawing 4 which shows an example of the temporary substrate 13, when the temporary substrate 13 consists of Cu, black copper oxide processing (melanism processing) can be performed to partial 13a which does not contact the metal bump 12 in a glossy surface, and the false pattern 31 of an electrode pad can be formed. Thereby, in case a reflow of the metal bump 12 is carried out to the temporary substrate 13, the fused solder can prevent the fault which flows into the perimeter of the false pattern 31.

[0044] Moreover, the substrate made from stainless steel in which the same false pattern made from Cu as drawing 4 was formed can also be used for aluminum substrate which formed the false pattern of Cu in the part which the metal bump 12 contacts as a temporary

substrate 13, or the part which the metal bump 12 contacts.

[0045] A false pattern can also be formed by the laminated structure of nickel (nickel) and Au, or the laminated structure of Cu, and nickel and Au in addition to Cu.

[0046] Subsequently, as shown in drawing 3 (c), a reflow of two or more metal bumps' 12 solder formed in LSI chip 11 is carried out, and LSI chip 11 and the temporary substrate 13 are connected. You may wash in the state of this connection.

[0047] Furthermore, as shown in drawing 3 (d), pour under-filling resin 14 into the clearance between LSI chip 11 and the temporary substrate 13, and it is made to harden under predetermined conditions, and considers as a protective layer. This condition is the same as that of the case of the example of the 1st operation gestalt.

[0048] Subsequently, as shown in drawing 3 (e), wet etching removes the temporary substrate 13 from the metal bump 12 and the under-filling resin 14 of a condition of drawing 3 (d). When using the temporary substrate 13 of each configuration mentioned above, a ferric chloride etching reagent etc. can be used for wet etching. Here, if the false pattern on the temporary substrate 13 is constituted from a laminated structure of nickel and Au etc., the fault which the metal bump's 12 solder part is slightly etched, and can do a hollow is avoidable.

[0049] Furthermore, as shown in drawing 3 (f), the solder ball 15 for external connection is formed to each metal bump 12 who exposes from under-filling resin 14.

[0050] As mentioned above, in the example of the 2nd operation gestalt, since it exfoliates by etching, even when the temporary substrate 13 has stuck strongly the temporary substrate 13 sticking to the metal bump 12 and under-filling resin 14, it can remove easily.

[0051] Moreover, although a semiconductor device is equipped with one layer of protective layers which consist of under-filling resin 14 in the example of the 1st and 2nd operation gestalt, each can multilayer the protective layer (14) which connotes the metal bump 12 by carrying out by repeating the process of (a) - (f) of drawing 1 or drawing 3. In this multilayering, after carrying out 1 stratification of the protective layer (14), while forming another protective layer (14) on this protective layer (14), the corresponding metal bump 12 is connected mutually. The protective layer (14) of multilayer structure is obtained by carrying out by repeating this process.

[0052] For example, in case a semiconductor device (package) and a wiring substrate are held in reflow equipment, melting of the solder ball 15 is carried out and a package is mounted in a wiring substrate, the flow stress resulting from the difference of both coefficient of thermal expansion acts on the solder ball 15 by the heat applied or the subsequent heat history. For this reason, when remarkable, a crack may occur on the solder ball 15. However, as mentioned above, a protective layer (14) is multilayered and it becomes possible by adjusting spacing of a package and a wiring substrate suitably to cancel flow stress.

[0053] Next, the example of the 3rd operation gestalt of this invention is explained. Drawing 5 is the sectional view showing the production process of the semiconductor device in this example of an operation gestalt, and (a) - (f) shows each production process gradually.

[0054] First, it is put on the temporary substrate 13 of drawing 5 (b) with which the metal bump 12 was formed on the false pattern corresponding to each electrode of LSI chip 11, carrying out alignment of LSI chip 11 shown in drawing 5 (a) to a precision. Flux may be applied to the temporary substrate 13 or LSI chip 11 for improvement in soldered-joint nature.

[0055] The metal bump 12 can consist of a laminated structure of solder, solder, and Cu, or a laminated structure of solder, and Au and nickel. the temporary substrate 13 -- a stainless

steel substrate, aluminum substrate, or a false pattern part -- removing -- melanism -- Cu substrate which processed can be used.

[0056] Subsequently, as shown in drawing 5 (c), a reflow of two or more metal bumps 12 formed in the temporary substrate 13 is carried out, and the temporary substrate 13 and LSI chip 11 are connected. You may wash in the state of this connection.

[0057] Furthermore, as shown in drawing 5 (d), pour under-filling resin 14 into the clearance between LSI chip 11 and the temporary substrate 13, and it is made to harden on condition that predetermined, and considers as a protective layer. This condition is the same as that of the case of the example of the 1st operation gestalt.

[0058] Subsequently, as shown in drawing 5 (e), wet etching removes the temporary substrate 13 from the metal bump 12 and the under-filling resin 14 of a condition of drawing 5 (d). In the temporary substrates 13, such as stainless steel mentioned above, it is easily removable using a ferric chloride etching reagent etc. Here, if the false pattern on the temporary substrate 13 is constituted from a laminated structure of solder, and nickel and Au etc., the fault which the metal bump's 12 solder part is slightly etched, and can do a hollow is avoidable.

[0059] Furthermore, as shown in drawing 5 (f), the solder ball 15 for external connection is formed to each metal bump 12 who exposes from under-filling resin 14.

[0060] In the example of the 2nd and 3rd operation gestalt, by carrying out a reflow on the flat temporary substrate 13, each hardened point of the metal bump 12 is not spherical, and is formed in the shape of flatness. For this reason, for example, when the temporary substrate 13 is removed from LSI chip 11 in drawing 3 (e) or drawing 5 (e), the tip flatness-like terminal exposed certainly is obtained from a protective layer (14). Thereby, like the example of the 1st operation gestalt, penetration of under-filling resin 14 can be prevented and good contact nature and electric conductivity can be obtained.

[0061] Moreover, in the example of the 1st, 2nd, and 3rd operation gestalt, the rewiring function to obtain the arrangement of the solder ball 25 according to the circuit pattern of the standardized circuit board which the conventional rewiring substrate 24 (drawing 11) had is given to the LSI chip 11 or connection side of the circuit board.

[0062] Next, the example of the 4th operation gestalt of this invention is explained. Drawing 6 is the sectional view showing the production process of the semiconductor device in this example of an operation gestalt, and (a) - (e) shows each production process gradually.

[0063] First, it connects by carrying out alignment to the temporary substrate 13 of drawing 6 (b) which has two or more leads 21 with which LSI chip 11 shown in drawing 6 (a) was implanted in the end according to the false pattern at a precision, and carrying out a reflow of the solder of the other end of lead 21. You may wash in the state of this connection. The temporary substrate 13 consists of stainless steel, aluminum, or Cu, and the above-mentioned lead 21 is formed in the opposed face with LSI chip 11 by metal mold molding.

[0064] Although only the part connected to LSI chip 11 and the temporary substrate 13 consists of solder and other parts consist of metallic materials other than solder, each lead 21 can be replaced with this and can also form the whole with stainless steel, Cu, or solder. A connection process will become simpler, if it changes so that the solder presentation of the side linked to LSI chip 11 may serve as the low melting point when using a solder lead. Flux may be applied to a temporary substrate 13 or LSI chip 11 side in order to improve soldered-joint nature. Although lead 21 is a comparatively strong member, it can replace with this, and can consist of solder or gold, and a wire softer than a lead can be used.

[0065] Subsequently, as shown in drawing 6 (c), pour under-filling resin 14 into the clearance between LSI chip 11 and the temporary substrate 13, and it is made to harden

under predetermined conditions, and considers as a protective layer. This condition is the same as that of the case of the example of the 1st operation gestalt.

[0066] Subsequently, as shown in drawing 6 (d), wet etching removes the temporary substrate 13 from lead 21 and the under-filling resin 14 of the condition of drawing 6 (c). When the temporary substrate 13 of each configuration mentioned above is used, it can remove using a ferric chloride etching reagent etc. Furthermore, as shown in drawing 6 (e), the solder ball 15 for external connection is formed to each lead 21 exposed from under-filling resin 14.

[0067] Here, an example of the formation process of lead 21 is explained. The top view in which drawing 7 shows the condition that the lead 21 was formed in the LSI chip 11 side contrary to the case of drawing 6 (b), and drawing 8 (a) - (c) are the side-face sectional views showing the production process of lead 21 in order.

[0068] As shown in drawing 7, two or more leads 21 are installed from the four way type towards the central part of opening 32a of the rectangle frame-like frame 32, and LSI chip 11 is combined with the point of each lead 21 electrically and mechanically by bonding.

[0069] In drawing 8 (a), where lead 21 is located under LSI chip 11, the frame 32 of drawing 7 is set, and LSI chip 11 equipped with two or more leads 21 shown in drawing 8 (c) by making a predetermined configuration crooked while cutting lead 21 using the molding metal mold of predetermined structure, as shown in drawing 8 (b) is produced.

[0070] In the example of the 4th operation gestalt, in a protective layer (14), since it has the lead 21 into which a circuit pattern can be changed, according to the circuit pattern of the wiring substrate of a mounting place, the pitch and array of wiring can be fitted by changing the exposure from the protective layer (14) of lead 21.

[0071] Next, the example of the 5th operation gestalt of this invention is explained. Drawing 9 is the sectional view showing the production process of the semiconductor device in this example of an operation gestalt, and (a) - (g) shows each production process gradually.

[0072] As shown in drawing 9 (a), LSI chip 11 has two or more metal bumps 12 by whom Au plating (plating) was given to the electrode forming face on the front face. On the temporary substrate 13 of drawing 9 (b) which has the convex pattern (22) used as the predetermined connection terminal pattern 22 in LSI chip 11 of this structure behind, alignment is carried out to a precision and it carries.

[0073] After applying a photosensitive resist to the substrate which consists of stainless steel, aluminum, or Cu, forming a circuit pattern using a photolithography technique and giving Au plating or plating by the laminated structure of Cu and Au to this circuit pattern, the convex pattern (22) is formed in the temporary substrate 13 by exfoliating a photosensitive resist.

[0074] The convex pattern (22) of the temporary substrate 13 is not limited to the above-mentioned configuration, and can also be formed by approaches, such as an additive process, the etching method using the photography technique of a clad plate, or a press-working-of-sheet-metal method.

[0075] Subsequently, pressurizing LSI chip 11 and the temporary substrate 13, after positioning and carrying the metal bump 12 on LSI chip 11 on the convex pattern (22) of the temporary substrate 13, as shown in drawing 9 (c), bonding is performed sticking the gold of metal bump 12 front face, and the gold by the side of a convex pattern (22) by pressure, and the corresponding convex pattern (22) is connected with the metal bump 12.

[0076] Furthermore, as shown in drawing 9 (d), pour under-filling resin 14 into the clearance between LSI chip 11 and the temporary substrate 13, and it is made to harden under predetermined conditions, and considers as a protective layer. This condition is the same as

that of the example of the 1st operation gestalt.

[0077] Subsequently, as shown in drawing 9 (e), the temporary substrate 13 is removed from under-filling resin 14 and a convex pattern (22) by wet etching. For this reason, in drawing 9 (d), the convex pattern (22) covered with the temporary substrate 13 is exposed from under-filling resin 14, and turns into the connection terminal pattern 22. When using the temporary substrate 13 of each configuration mentioned above, a ferric chloride etching reagent etc. can remove.

[0078] Furthermore, as shown in drawing 9 (f), the protective layer of a circuit pattern 22 is formed by applying a solder resist 23 to the part except the pad part for external connection by print processes, and stiffening a solder resist 23 under predetermined conditions.

[0079] Subsequently, as shown in drawing 9 (g), the solder ball 15 for external connection is formed to the pad part of each connection terminal pattern 22 exposed from under-filling resin 14 and a solder resist 23.

[0080] Next, the example of the 6th operation gestalt of this invention is explained. Drawing 10 is the sectional view showing the production process of the semiconductor device in this example of an operation gestalt, and (a) - (g) shows each production process gradually.

[0081] As shown in drawing 10 (a), LSI chip 11 has two or more metal bumps 12 by whom Au plating was given to the electrode forming face on the front face. On the temporary substrate 13 of drawing 10 (b) which has the convex pattern (22) used as the connection terminal pattern 22 predetermined at a next process in LSI chip 11 of this structure, alignment is carried out to a precision and it carries.

[0082] The convex pattern (22) is formed in the temporary substrate 13 by the following processings. First, Au plating is given to a circuit pattern, after applying a photosensitive resist to stainless steel, aluminum, or the substrate that consists of Cu and forming a circuit pattern using a photolithography technique. Furthermore, a photosensitive resist is exfoliated and half etching of the temporary substrate 13 is carried out for gilding as a mask. In addition, the convex pattern (22) of the temporary substrate 13 is not limited to the above-mentioned configuration, and can be formed with an additive process etc. like the example of the 5th operation gestalt.

[0083] Subsequently, as shown in drawing 10 (c), after positioning and carrying the metal bump 12 on LSI chip 11 on the convex pattern (22) of the temporary substrate 13, bonding of golden-golden sticking by pressure is performed pressurizing LSI chip 11 and the temporary substrate 13, and the corresponding convex pattern (22) is connected with the metal bump 12.

[0084] Furthermore, as shown in drawing 10 (d), pour under-filling resin 14 into the clearance between LSI chip 11 and the temporary substrate 13, and it is made to harden under predetermined conditions, and considers as a protective layer. This condition is the same as that of the case of the example of the 1st operation gestalt.

[0085] Subsequently, as shown in drawing 10 (e), it leaves a convex pattern (22) to the under-filling resin 14 side, and the temporary substrate 13 of other parts is removed by wet etching. For this reason, in drawing 10 (d), the convex pattern (22) covered with the inferior surface of tongue of the temporary substrate 13 is exposed from under-filling resin 14, and turns into the connection terminal pattern 22. When using the temporary substrate 13 of each configuration mentioned above, a ferric chloride etching reagent etc. can remove. Thus, since the temporary substrate 13 consists of metal plate manufacturing members of one sheet which have a convex pattern (22), the metal plate manufacturing member after etching is used as wiring as it is.

[0086] Furthermore, as shown in drawing 10 (f), the protective layer of a circuit pattern 22 is

formed by applying a solder resist 23 to the part except the pad part for external connection by print processes, and stiffening a solder resist 23 under predetermined conditions.

[0087] Subsequently, as shown in drawing 10 (g), the solder ball 15 for external connection is formed to the pad part of each connection terminal pattern 22 exposed from under-filling resin 14 and a solder resist 23.

[0088] In the example of the 5th and 6th operation gestalt, since a semiconductor device is covered with a protective layer (23) in addition to the protective layer (14) of the product [front face / of LSI chip 11] made of resin, the handling at the time of handling and implementation of a performance test become simpler. Moreover, in a protective layer (14), since it has the connection terminal pattern 22 into which a circuit pattern can be changed, according to the circuit pattern of the wiring substrate of a mounting place, the pitch and array of wiring can be fitted by changing the exposure from the protective layer (23) of the connection terminal pattern 22.

[0089] Moreover, in the example of the 4th, 5th, and 6th operation gestalt, since it has a rewiring function in a protective layer (14) or a protective layer (23), it is not necessary to give a rewiring function to the LSI chip 11 or connection side of the circuit board like the 1st - the example of the 3rd operation gestalt, therefore the conventional design condition and the conventional circuit board of an LSI chip can be used as it is.

[0090] As mentioned above, in the 1st - the example of the 6th operation gestalt, since a package is manufactured by fixing LSI chip 11 to the temporary substrate 13, pouring in and stiffening under-filling resin 14, and exfoliating or removing all or some of temporary substrates 13, a rewiring substrate 24 (drawing 11) like before is not needed, but package size is made comparable as LSI chip 11, and the whole equipment can be miniaturized. Moreover, according to the simplified structure, productivity is high and the package of low cost is obtained.

[0091] Moreover, in the 1st - the example of the 6th operation gestalt, since the protective layer (14) of the same height as the metal bump's 12 tip formed on the electrode pad of LSI chip 11 has protected the front face of LSI chip 11, covering each metal bump's 12 perimeter, the original electrode pad of LSI chip 11 can be protected from damage by the blemish and contact at the time of a performance test etc. at the time of probing to the metal bump 12. Furthermore, the handling at the time of handling and implementation of a performance test become simple by protecting LSI chip 11 by under-filling resin 14.

[0092] In the 1st - the example of the 6th operation gestalt, under-filling resin 14 and its impregnation approach are not limited to said conditions. For example, various kinds of resin, such as epoxy / phenol resin system, a phenol resin system, an acrylic resin system, and silicon system resin, is usable as under-filling resin 14, and impregnation by the potting method, the transfer mold method, print processes, etc. can be performed according to the resin to be used. About the hardening approach of under-filling resin, it is not based on the class or property of resin and is not limited to said conditions.

[0093] Use syringe-like transfer pipet, under-filling resin 14 is made to flow into the perimeter of LSI chip 11, and resin 14 is made to advance into the clearance between LSI chip 11 and the temporary substrate 13 by capillarity by the potting method. By the transfer mold method, the upper and lower sides of the LSI chip 11 and the temporary substrate 13 which were shown, for example in drawing 6 (b) are covered with metal mold, and under-filling resin 14 is compulsorily poured in into this metal mold. Thereby, a mold configuration improves more. Under-filling resin 14 is made dropped at the perimeter of LSI chip 11, and it is made to advance into a clearance by capillarity like the potting method in print processes. In this case, under-filling resin 14 can be poured into a narrow part good.

[0094] Here, if the temporary substrate 13 is formed by the film-like member, required reinforcement is not obtained, the temporary substrate 13 cannot be exfoliated good from under-filling resin 14, but in the 1st - the example of the 6th operation gestalt, since the temporary substrate 13 consists of a metal plate manufacturing member, the following advantage **s - ** are obtained.

[0095] ** Since temporary substrate 13 the very thing has required reinforcement, the temporary substrate 13 can be easily exfoliated from the solder bump 12 and a protective layer (14).

** Since it seems that an organic component does not remain on solder bump 12 front face after exfoliation of the temporary substrate 13, good electric conductivity or connectability are not spoiled.

** Since it has the flat side in which the temporary substrate 13 has necessary reinforcement, in case a reflow of the solder bump 12 is carried out under a predetermined pressure, the solder bump's 12 point and the front face of a protective layer (14) become 1 plane.

[0096] In the conventional semiconductor device explained by drawing 11 about advantage **, since adhesion of the rewiring substrate 24 and the solder bump 12 is made high from the purpose of the improvement in dependability, even if it exfoliates the rewiring substrate 24 from LSI chip 11, the front face after exfoliation will become concave convex, and a protective layer (14) and the solder bump's 12 point will not become 1 plane like this example of an operation gestalt. Moreover, when it replaces with the temporary substrate 13, for example and a film-like member is used, a protective layer (14) cannot be formed in 1 plane with the solder bump 12 by the flexibility of this film-like member.

[0097] In addition, the temporary substrate 13 should just be equipped with the configuration which it is not limited to said configuration and a soldered-joint process and the removal process of the temporary substrate 13 can carry out easily in the 1st - the example of the 6th operation gestalt. Moreover, a component and various kinds of numeric values are not limited above. [in / formation processing of the solder ball 15 for external connection in the final process of each example of an operation gestalt is not indispensable, and / each example of an operation gestalt]

[0098] the 1- although what combined the protective layer (14) and the solder bump 12 with LSI chip 11 was called the package in the 6th example of an operation gestalt, not only this but the thing which equipped the rear face (for example, top face in drawing 1) of LSI chip 11 with heat SUPURETTA (heat sink) is called a package in this invention.

[0099] As mentioned above, although this invention was explained based on the suitable example of an operation gestalt, the semiconductor device and its manufacture approach of this invention are not limited only to the configuration of the above-mentioned example of an operation gestalt, and the semiconductor device which performed various corrections and modification from the configuration of the above-mentioned example of an operation gestalt, and its manufacture approach are also included in the range of this invention.

[0100]

[Effect of the Invention] While attaining the miniaturization of a package by not using a rewiring substrate according to the semiconductor device and its manufacture approach of this invention though a cost cut is realized as explained above, handling and performance tests, such as handling, can be made to facilitate.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-94003
(P2001-94003A)

(43) 公開日 平成13年4月6日 (2001.4.6)

(51) Int.Cl. ⁷	識別記号	F I	テ-リ-ト* (参考)
H 0 1 L 23/12		H 0 1 L 21/56	E 5 F 0 4 4
21/56		21/60	3 1 1 S 5 F 0 6 1
21/60	3 1 1	23/12	L

審査請求 有 請求項の数21 O L (全 12 頁)

(21) 出願番号 特願平11-268472
(22) 出願日 平成11年9月22日 (1999.9.22)

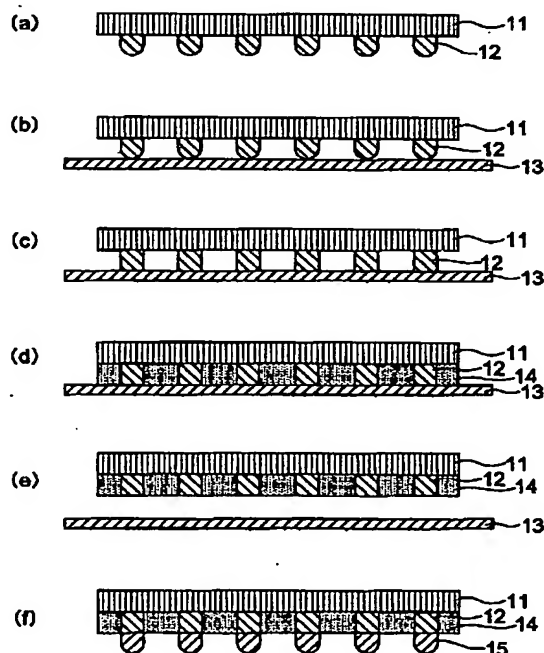
(71) 出願人 000004237
日本電気株式会社
東京都港区芝五丁目7番1号
(72) 発明者 中三川 健
東京都港区芝五丁目7番1号 日本電気株
式会社内
(74) 代理人 100096231
弁理士 稲垣 清
Fターム(参考) 5F044 QQ01 QQ02 QQ03 QQ04 QQ05
RR18 RR19
5F061 AA01 BA07 CA04

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】 (修正有)

【課題】 コストダウンを実現しながらも、再配線基板を用いないことによりパッケージの小型化を図ると共に、ハンドリング等の取り扱いや性能テストを簡便化できる半導体装置及びその製造方法を提供する。

【解決手段】 半導体装置の製造方法は、配線基板の複数の電極に各電極に対応する電極が接続される半導体チップ11を備えた半導体装置を製造する。この製造方法では、半導体チップ11及び該半導体チップ11に対応する大きさを有する仮基板13の少なくとも一方に、半導体チップ11の電極パターンに対応する複数の金属バンプ12を形成し、金属バンプ12を介して半導体チップ11と仮基板13とを相互に固定し、半導体チップ11と仮基板13との間、及び、金属バンプ12の相互間アンダーフィル樹脂14を充填し硬化させて保護層14を形成し、保護層14及び金属バンプ12から仮基板13を除去する。



【特許請求の範囲】

【請求項1】 配線基板の複数の電極に各電極に対応する電極が接続される半導体チップを備えた半導体装置を製造する製造方法において、

半導体チップ及び該半導体チップに対応する大きさを有する仮基板の少なくとも一方に、前記半導体チップの電極のパターンに対応する複数の金属接続部材を形成し、前記金属接続部材を介して前記半導体チップと仮基板とを相互に固定し、

前記半導体チップと仮基板との間、及び、前記金属接続部材の相互間に樹脂を充填し硬化させて保護層を形成し、

前記保護層及び金属接続部材から前記仮基板を除去することを特徴とする半導体装置の製造方法。

【請求項2】 前記金属接続部材が、前記半導体チップの電極上に形成された金属バンプから成る、請求項1に記載の半導体装置の製造方法。

【請求項3】 前記金属接続部材が細線状配線から成る、請求項1に記載の半導体装置の製造方法。

【請求項4】 前記金属接続部材が、前記半導体チップの電極上に形成された金属バンプと、該金属バンプの位置に対応して前記仮基板上に形成された接続端子パターンとから成る、請求項1に記載の半導体装置の製造方法。

【請求項5】 前記接続端子パターンが、前記仮基板とは異なる材料から成る、請求項4に記載の半導体装置の製造方法。

【請求項6】 前記接続端子パターンが、前記仮基板と同じ材料から成る、請求項4に記載の半導体装置の製造方法。

【請求項7】 前記接続端子パターンが、めっき処理、エッチング処理、又は、プレス加工によって前記仮基板上に形成される、請求項6に記載の半導体装置の製造方法。

【請求項8】 前記仮基板の除去工程に後続して、前記保護層から露出した前記接続端子パターンを保護する別の保護層を形成する、請求項4～7の何れかに記載の半導体装置の製造方法。

【請求項9】 前記仮基板の除去工程に後続して、前記金属接続部材の前記保護層からの露出部分にはんだバンプを形成する、請求項1～8の何れかに記載の半導体装置の製造方法。

【請求項10】 前記仮基板の除去工程では、前記保護層及び金属接続部材から前記仮基板を機械的に剥離又はエッチングで除去する、請求項1～9の何れかに記載の半導体装置の製造方法。

【請求項11】 前記仮基板が、テフロンコート又はテフロン含浸によって表面処理された板部材から成る、請求項1～10の何れかに記載の半導体装置の製造方法。

【請求項12】 前記半導体チップと仮基板とを相互に

固定する際に、前記金属接続部材を加熱しつつ前記仮基板と半導体チップとを所定の荷重で相互に押しつける、請求項1～11の何れかに記載の半導体装置の製造方法。

【請求項13】 前記仮基板が金属製板部材から成る、請求項1～12の何れかに記載の半導体装置の製造方法。

【請求項14】 配線基板の複数の電極に各電極に対応する電極が接続される半導体チップを備えた半導体装置において、

半導体チップの各電極に接続された金属接続部材と、前記金属接続部材の相互間に充填された樹脂から成る保護層とを備え、

前記金属接続部材の先端部が前記保護層から露出することを特徴とする半導体装置。

【請求項15】 前記保護層から露出する前記金属接続部材の先端部が前記保護層と同一平面状に形成される、請求項14に記載の半導体装置。

【請求項16】 前記保護層が、積層された複数の樹脂層から成る、請求項14又は15に記載の半導体装置。

【請求項17】 前記金属接続部材が、前記半導体チップの電極に形成された金属バンプから成る、請求項14～16の何れかに記載の半導体装置。

【請求項18】 前記金属接続部材が細線状配線から成る、請求項14～16の何れかに記載の半導体装置。

【請求項19】 前記金属接続部材が、前記半導体チップの電極に形成された金属バンプと、該金属バンプの位置に対応して前記仮基板上に形成された接続端子パターンとから成る、請求項14～16の何れかに記載の半導体装置。

【請求項20】 前記接続端子パターンを保護する別の保護層を更に備える、請求項19に記載の半導体装置。

【請求項21】 前記金属接続部材の前記保護層からの露出部分に形成されたはんだバンプを更に備える、請求項14～20の何れかに記載の半導体装置。

【発明の詳細な説明】
【0001】

【発明の属する技術分野】本発明は、半導体装置及びその製造方法に関し、特に、パッケージサイズの小型化等を図った半導体装置及びその製造方法に関する。

【0002】

【従来の技術】近年の半導体装置では、電子機器の高性能化、小型軽量化及び高速化の要請に応えるために新形態のパッケージが次々に開発されており、搭載する半導体チップ（以下、LSIチップとも呼ぶ）の高集積化により、装置の小型化や薄型化が実現され、電子機器の更なる高性能化や高速化が図られている。LSIチップの高性能化を実現するため、高密度実装を可能としたFCBGA（flip chip ballgrid array）方式によるパッケージも知られている。

【0003】図11は、FCBGA方式による従来型のパッケージ構造を備えた半導体装置を示す断面図である。この半導体装置は、LSIチップ11と、LSIチップ11に備えた配線パターンに対応する複数のはんだバンプ12と、複数の電極パッド33を備えた多層構造の再配線基板（又はインタポーザ）24とを有する。再配線基板24は、ハンドリング等の取扱い性を向上させ、標準化された回路基板の接続部に対応したはんだボール25の配置を得、更には、LSIチップ11の性能テスト時にLSIチップ11表面をプローブから保護する等の機能を有する。

【0004】再配線基板24は、表面の電極パッド33以外の部分にソルダーレジスト34が形成され、電極パッド33と反対の面にはんだボール25が形成されている。はんだバンプ12と電極パッド33とが電氣的且つ機械的に結合された状態で、各はんだバンプ12及び電極パッド33の間の隙間にアンダーフィル樹脂14が注入・硬化されている。

【0005】上記従来の半導体装置を製造する際には、まず、再配線基板24にLSIチップ11を位置合わせし、リフローすることによって双方を結合させる。更に、必要に応じて洗浄等を行った後に、LSIチップ11と再配線基板24との間の隙間にアンダーフィル樹脂14を注入し、アンダーフィル樹脂14をキュアリングして硬化させる。この後、必要に応じて、再配線基板24の裏面に、はんだボール15等の接続端子を形成する。

【0006】

【発明が解決しようとする課題】上記従来の半導体装置では、LSIチップ11を再配線基板24から剥離することが困難なので、性能テストで不良と判定されたLSIチップ11は再配線基板24ごと廃棄される。このため、再配線基板24は、できるだけ廉価に製造されなければならない。LSIステッパを使用せずに露光機（ライナー）を用いた基板製造方法で製造されることになる。この基板製造方法によると、コストダウンは図れるものの、LSIステッパを用いた場合のような微細化が困難になるので、再配線基板24がLSIチップ11に比して大型化し、パッケージそのものが大型化することになる。

【0007】ここで、パッケージの小型／簡素化のためにベアチップ方式を採用することも考えられるが、この方式によると、全体が薄くてLSIチップの表面に保護層がない構造になるので、ハンドリング等での取扱いに十分な注意を払わなければならない。作業が煩雑になる。ベアチップ方式では更に、電極パッドのテストによるブローピング痕や傷等のダメージを受け易く、性能テストの実施が困難になる。

【0008】本発明は、上記に鑑み、コストダウンを実現しながらも、再配線基板を用いないことによりバック

ージの小型化を図ると共に、ハンドリング等の取扱いや性能テストを簡便化できる半導体装置及びその製造方法を提供することを目的とする。

【0009】

【課題を解決するための手段】上記目的を達成するために、本発明の半導体装置の製造方法は、配線基板の複数の電極に各電極に対応する電極が接続される半導体チップを備えた半導体装置を製造する製造方法において、半導体チップ及び該半導体チップに対応する大きさを有する仮基板の少なくとも一方に、前記半導体チップの電極のパターンに対応する複数の金属接続部材を形成し、前記金属接続部材を介して前記半導体チップと仮基板とを相互に固定し、前記半導体チップと仮基板との間、及び、前記金属接続部材の相互間に樹脂を充填し硬化させて保護層を形成し、前記保護層及び金属接続部材から前記仮基板を除去することを特徴とする。

【0010】本発明の半導体装置の製造方法では、半導体チップを仮基板に固定し、このとき形成される隙間に樹脂を注入して硬化させ、仮基板を除去することでパッケージを製造するので、パッケージサイズを半導体チップと同程度にして半導体装置全体を小型化できる。また、半導体チップの各電極に接続した金属接続部材を保護層から露出させる簡素で信頼性が高いパッケージ構造が得られ、生産性を向上させてコストダウンを図ることができる。更に、半導体チップの電極に接続され周囲を樹脂で覆われた金属接続部材に対してブローピングを実施するので、半導体チップ本来の電極パッドを傷や接触による損傷等から保護することができる。これにより、ハンドリング等の取扱いや性能テストが簡便になる。

【0011】ここで、本発明では、前記金属接続部材が、前記半導体チップの電極上に形成された金属バンプから成ることが好ましい。この場合、金属接続部材を介して半導体チップ及び仮基板を相互に固定する工程が簡便になる。

【0012】或いは、上記に代えて、前記金属接続部材が細線状配線から成ることも好ましい態様である。この場合、金型成型によって細線状配線を簡便に形成することができる。

【0013】或いは、上記に代えて、前記金属接続部材が、前記半導体チップの電極上に形成された金属バンプと、該金属バンプの位置に対応して前記仮基板上に形成された接続端子パターンとから成ることも好ましい態様である。この場合、仮基板上に形成されるパターンを変えることにより、保護層から露出する接続端子パターンによる配線パターンのバリエーションを増大させることができる。

【0014】また、前記接続端子パターンが、前記仮基板とは異なる材料から成ることが好ましい。この場合、仮基板の保護層から突出した部分をエッチング除去することにより、保護層から露出する接続端子パターンを簡

単に形成できる。

【0015】或いは、上記に代えて、前記接続端子パターンが、前記仮基板と同じ材料から成ることも好ましい態様である。この場合にも、仮基板の保護層から突出した部分をエッチング除去することにより、保護層から露出する接続端子パターンを簡単に形成できる。

【0016】好ましくは、前記接続端子パターンが、めっき処理、エッチング処理、又は、プレス加工によって前記仮基板に形成される。この場合、接続端子パターンの形成処理が簡単になる。

【0017】また、前記仮基板の除去工程に後続して、前記保護層から露出した前記接続端子パターンを保護する別の保護層の形成工程を有することが好ましい。これにより、形成した別の保護層によって接続端子パターンを保護できるので、ハンドリング時の取扱いや性能テストの実施が一層簡便になる。

【0018】更に、前記仮基板の除去工程に後続して、前記金属接続部材の前記保護層からの露出部分にはんだバンプを形成することも好ましい態様である。これにより、金属接続部材及びはんだバンプを介して半導体チップの電極を配線基板の電極に確実に接続できる。

【0019】更に、前記仮基板の除去工程では、前記保護層及び金属接続部材から前記仮基板を機械的に剥離又はエッチングで除去することが好ましい。この場合、保護層及び金属接続部材に対する仮基板の密着強度が小さいときは機械的に剥離し、密着強度が大きいときはエッチング除去するように、状況に応じて工程を選択することができる。

【0020】好ましくは、前記仮基板を、テフロンコート又はテフロン含浸によって表面処理した板部材で構成する。この場合、仮基板の除去工程が簡便になる。

【0021】また、前記半導体チップと仮基板とを相互に固定する際に、前記金属接続部材を加熱しつつ前記仮基板と半導体チップとを所定の荷重で相互に押しつける処理を行うことが好ましい。これにより、金属接続部材から仮基板を剥離した完成状態で、保護層から露出する金属接続部材の先端部を平坦状に形成でき、端子としての金属接続部材の接触性及び導通性を良好にできる。

【0022】更に、前記仮基板を金属製板部材で構成することも好ましい態様である。これにより、例えば、金属接続部材がはんだバンプから成りはんだバンプに仮基板を押しつけつつリフローする際に、後の工程で保護層から露出するはんだバンプの先端形状を、良好な平坦面として形成することができる。

【0023】本発明の半導体装置は、配線基板の複数の電極に各電極に対応する電極が接続される半導体チップを備えた半導体装置において、半導体チップの各電極に接続された金属接続部材と、前記金属接続部材の相互間に充填された樹脂から成る保護層とを備え、前記金属接続部材の先端部が前記保護層から露出することを特徴と

する。

【0024】本発明の半導体装置では、半導体チップの各電極に接続した金属接続部材を保護層から露出させた簡素で信頼性が高いパッケージ構造が得られ、パッケージサイズを半導体チップと同程度にして半導体装置全体の小型化を実現することができる。また、半導体チップの電極上に形成されて周囲を樹脂で覆われた金属接続部材に対してブローピングを行うことになるので、半導体チップ本来の電極パッドを保護することができ、ハンドリング等の取扱いや性能テストが簡便になる。

【0025】ここで、前記保護層から露出する前記金属接続部材の先端部が前記保護層と同一平面状に形成されることが好ましい。これにより、完成した半導体装置の金属接続部材の先端部にはんだボールを形成する際に、確実な導通性が得られる。

【0026】また、前記保護層を、積層された複数の樹脂層で構成することができる。例えば、完成した半導体装置と、配線基板とをリフロー装置に収容し、金属接続部材の先端部に形成されたはんだボールを溶融させ、配線基板に半導体装置を実装する際に、半導体装置と配線基板との熱膨張率の差に起因した変形応力がはんだボールに作用するので、著しい場合にははんだボールにクラックが発生する場合がある。しかし、保護層が多層化されることで、半導体装置と配線基板との間隔を適宜調整できるので、変形応力を解消することが可能になる。

【0027】更に、前記金属接続部材が、前記半導体チップの電極上に形成された金属バンプから成ることが好ましい。この場合、保護層から金属接続部材を露出させる構造を簡素な工程で得ることができる。

【0028】更に、前記金属接続部材が細線状配線から成ることが好ましい。この場合、金型成型によって細線状配線を簡単に形成することができる。

【0029】或いは、上記に代えて、前記金属接続部材が、前記半導体チップの電極上に形成された金属バンプと、該金属バンプの位置に対応して前記仮基板上に形成された接続端子パターンとから成ることも好ましい態様である。この場合、接続端子パターンの変更によって、多種類の配線パターンを得ることができる。

【0030】好ましくは、前記接続端子パターンを保護する別の保護層を更に備える。この場合、別の保護層によって接続端子パターンを保護できるので、ハンドリング時の取扱いや性能テストの実施が一層簡便になる。

【0031】また、前記金属接続部材の前記保護層からの露出部分に形成されたはんだバンプを更に備えることが好ましい。この場合、半導体チップの電極を、金属接続部材及びはんだバンプを介して配線基板の電極に容易に接続することができる。

【0032】

【発明の実施の形態】以下、図面を参照し、本発明の実施形態例に基づいて本発明を更に詳細に説明する。図1

は、本発明の第1実施形態例における半導体装置（パッケージ）の製造工程を示す断面図であり、(a)～(f)は各製造工程を段階的に示す。

【0033】まず、図1(a)に示すように、LSIチップ11の電極形成面に、スズ(Sn)及び鉛(Pb)から成るはんだを用いて金属バンプ12を形成する。金属バンプ12は、外部接続端子として使用できればよいため、材質がはんだに限定されることはなく、金(Au)等他の材料を用いることもできる。

【0034】金属バンプ12の形成後、図1(b)に示すように、製作用の仮基板13上に金属バンプ12を位置合わせしつつLSIチップ11を載せる。仮基板13は、表面に凹凸が無い平坦面状に形成され、LSIチップ11に対応する大きさを有する。例えば、銅、ステンレス又はアルミニウム等の金属製板部材の表面にテフロンコートをし、又は、テフロンを含浸させることによって仮基板13を得ることができる。

【0035】次いで、図1(c)に示すように、LSIチップ11と仮基板13との間に所定の荷重を加えて、金属バンプ12を仮基板13の表面に密着させる。例えば、LSIチップ11が1000個の金属バンプ12を有する場合には、100～150℃の温度下で、LSIチップ11及び仮基板13を10～50kgの荷重で相互に押しつける。なお、仮基板13又は金属バンプ12には、はんだ接続性向上のためにフラックスが塗布されていてもよい。

【0036】100～150℃の温度下で、LSIチップ11と仮基板13とを10～50kgという比較的軽い荷重で加圧するのは、LSIチップ11への負荷を軽減し、且つ、金属バンプ12及び仮基板13の双方の密着力を向上させる目的からであるが、LSIチップ11及び仮基板13の密着条件は、上記に限定されるものではない。また、LSIチップ11と仮基板13との密着を保持するために専用の治工具等を利用することもできる。

【0037】更に、図1(d)に示すように、LSIチップ11と仮基板13との間の隙間（ギャップ）にアンダーフィル樹脂14を注入し、所定の条件下で硬化させて、LSIチップ11及び金属バンプ12を保護する保護層とする。上記条件としては、例えば、アンダーフィル樹脂14として、二酸化珪素を主成分とするフィラーを含有する半導体封止用エポキシ系ペーストを用い、このアンダーフィル樹脂14をシリンジ、ニードル及びディスペンサを使用してギャップに注入し、150℃で1時間キュアリングして硬化させることが挙げられる。

【0038】次いで、図1(e)に示すように、図1(d)の状態の金属バンプ12及びアンダーフィル樹脂14から仮基板13を剥離する。ここで、仮基板13にはテフロンコート等の処理が施されているので、剥離工程が容易に行われる。更に、図1(f)に示すように、アンダー

フィル樹脂14から露出する各金属バンプ12に対し、外部接続用のはんだボール15を形成する。

【0039】以上のように、第1実施形態例では、仮基板13を金属バンプ12に所定の圧力で押しつけることによって、硬化した金属バンプ12の各先端部が、球状ではなく平坦状に形成されるので、例えば、図1(e)で仮基板13をLSIチップ11から剥離した際に、先端部が平坦状の端子を得ることができる。

【0040】例えば、金属バンプ12の先端部にバンプ15を形成する場合に、金属バンプ12の先端が球形状であれば、保護層14の表面とこの表面から後退した球形状の金属バンプ12との間に、図2(a)に示すようにアンダーフィル樹脂14が入り込んで、良好な接触性や電気導通性を損なうことになる。しかし、本実施形態例では、図2(b)に示すように、保護層14から確実に露出する先端平坦状の金属バンプ12が得られるので、アンダーフィル樹脂14の進入を防止し、良好な接触性及び電気導通性を得ることができる。図2(a)には、先端球形状の金属バンプに対する樹脂充填状態を、図2(b)には、先端平坦状の金属バンプに対する樹脂充填状態を夫々示した。

【0041】次に、本発明の第2実施形態例について説明する。図3は、本実施形態例における半導体装置の製造工程を示す断面図であり、(a)～(f)は各製造工程を段階的に示す。図3では仮基板上のパッドパターンを省略している。

【0042】まず、図3(a)に示すように、LSIチップ11の電極形成面に、第1実施形態例と同様のはんだを用いて金属バンプ12を形成する。更に、図3(b)に示すように、所定のパターンが形成された銅(Cu)やアルミニウム(Al)等から成る仮基板13上に、金属バンプ12を有するLSIチップ11を疑似パターンに精密に位置合わせして載せる。なお、仮基板13又は金属バンプ12には、はんだ接続性の向上のためにフラックスが塗布されていてもよい。

【0043】仮基板13の一例を示す図4のように、仮基板13がCuから成る場合には、光沢面における金属バンプ12と接触しない部分13aに黒色酸化銅処理（黒化処理）を施して、電極パッドの疑似パターン31を形成することができる。これにより、仮基板13に金属バンプ12をリフローする際に、溶融したはんだが疑似パターン31の周囲に流れ込む不具合を阻止することができる。

【0044】また、仮基板13としては、金属バンプ12が接触する部分にCuの疑似パターンを形成したAl基板、或いは、金属バンプ12が接触する部分に、図4と同様のCu製疑似パターンを形成したステンレス製基板を使用することもできる。

【0045】疑似パターンは、Cu以外に、ニッケル(Ni)とAuとの積層構造、或いは、CuとNiとA

uとの積層構造等で形成することもできる。

【0046】次いで、図3(c)に示すように、LSIチップ11に形成された複数の金属パンプ12のはんだをリフローして、LSIチップ11と仮基板13とを接続する。この接続状態で洗浄を行ってもよい。

【0047】更に、図3(d)に示すように、LSIチップ11と仮基板13との間の隙間にアンダーフィル樹脂14を注入し、所定の条件下で硬化させて保護層とする。この条件は、第1実施形態例の場合と同様である。

【0048】次いで、図3(e)に示すように、図3(d)の状態の金属パンプ12及びアンダーフィル樹脂14からウェットエッチングによって仮基板13を除去する。前述した各構成の仮基板13を用いる場合、ウェットエッチングには塩化第2鉄エッチング液等を用いることができる。ここで、仮基板13上の疑似パターンをNiとAuとの積層構造等で構成すれば、金属パンプ12のはんだ部分が僅かにエッチングされて窪みができるような不具合を回避することができる。

【0049】更に、図3(f)に示すように、アンダーフィル樹脂14から露出する各金属パンプ12に対し、外部接続用のはんだボール15を形成する。

【0050】以上のように、第2実施形態例では、金属パンプ12及びアンダーフィル樹脂14に密着した仮基板13をエッチングで剥離するので、仮基板13が強く密着している場合でも、容易に除去することができる。

【0051】また、第1及び第2実施形態例では、半導体装置が、アンダーフィル樹脂14から成る保護層を1層のみ備えるが、図1又は図3の(a)～(f)の工程を繰り返し行うことで、夫々が金属パンプ12を内包する保護層(14)を多層化することができる。この多層化では、保護層(14)を1層形成した後に、この保護層(14)上に別の保護層(14)を形成すると共に、対応する金属パンプ12を相互に接続する。この工程を繰り返し行うことにより、多層構造の保護層(14)が得られる。

【0052】例えば、半導体装置(パッケージ)と配線基板とをリフロー装置に収容してはんだボール15を溶融させ、配線基板にパッケージを実装する際に、加えられる熱やその後の熱履歴により、双方の熱膨張率の差に起因した変形応力がはんだボール15に作用する。このため、著しい場合には、はんだボール15にクラックが発生することがある。しかし、上記のように、保護層(14)を多層化し、パッケージと配線基板との間隔を適宜調整することで、変形応力を解消することが可能となる。

【0053】次に、本発明の第3実施形態例について説明する。図5は、本実施形態例における半導体装置の製造工程を示す断面図であり、(a)～(f)は各製造工程を段階的に示す。

【0054】まず、図5(a)に示すLSIチップ11

を、LSIチップ11の各電極に対応する疑似パターン上に金属パンプ12が形成された図5(b)の仮基板13に、精密に位置合わせしつつ載せる。仮基板13又はLSIチップ11には、はんだ接続性の向上のためにフラックスが塗布されていてもよい。

【0055】金属パンプ12は、はんだ、はんだとCuとの積層構造、或いは、はんだとAuとNiとの積層構造等で構成できる。仮基板13は、ステンレス基板、Al基板、或いは、疑似パターン部分を除いて黒化処理を行ったCu基板等を使用することができる。

【0056】次いで、図5(c)に示すように、仮基板13に形成された複数の金属パンプ12をリフローして、仮基板13とLSIチップ11とを接続する。この接続状態で洗浄を行ってもよい。

【0057】更に、図5(d)に示すように、LSIチップ11と仮基板13との間の隙間にアンダーフィル樹脂14を注入し、所定の条件で硬化させて保護層とする。この条件は、第1実施形態例の場合と同様である。

【0058】次いで、図5(e)に示すように、ウェットエッチングによって、図5(d)の状態の金属パンプ12及びアンダーフィル樹脂14から仮基板13を除去する。上述したステンレス等の仮基板13では、塩化第2鉄エッチング液等を用いて容易に除去することができる。ここで、仮基板13上の疑似パターンをはんだとNiとAuとの積層構造等で構成すれば、金属パンプ12のはんだ部分が僅かにエッチングされて窪みができるような不具合を回避することができる。

【0059】更に、図5(f)に示すように、アンダーフィル樹脂14から露出する各金属パンプ12に対し、外部接続用のはんだボール15を形成する。

【0060】第2及び第3実施形態例では、平坦な仮基板13上でリフローすることによって、硬化した金属パンプ12の各先端部が球状でなく平坦状に形成される。このため、例えば、図3(e)又は図5(e)において仮基板13をLSIチップ11から除去した際に、保護層(14)から確実に露出した先端平坦状の端子が得られる。これにより、第1実施形態例と同様に、アンダーフィル樹脂14の進入を防止し、良好な接触性及び電気導通性を得ることができる。

【0061】また、第1、第2及び第3実施形態例では、従来の再配線基板24(図11)が有していた、標準化された回路基板の配線パターンに応じたはんだボール25の配置を得るという再配線機能を、LSIチップ11側又は回路基板の接続部側にもたせている。

【0062】次に、本発明の第4実施形態例について説明する。図6は、本実施形態例における半導体装置の製造工程を示す断面図であり、(a)～(e)は各製造工程を段階的に示す。

【0063】まず、図6(a)に示すLSIチップ11を、疑似パターンに従って一端が植設された複数のリー

ド21を有する図6(b)の仮基板13に精密に位置合わせし、リード21の他端のはんだをリフローすることで接続する。この接続状態で洗浄を行ってもよい。仮基板13は、ステンレス、Al、又はCu等で構成されており、LSIチップ11との対向面には、上記リード21が金型成型で形成されている。

【0064】各リード21は、LSIチップ11と仮基板13とに接続される部分のみがはんだから成り、他の部分ははんだ以外の金属材料から成るが、これに代えて、全体をステンレス、Cu、又は、はんだ等で形成することもできる。はんだリードを用いる場合、LSIチップ11と接続する側のはんだ組成が低融点となるように変更すると、接続工程がより簡便になる。はんだ接続性を良くするために、仮基板13又はLSIチップ11側にフラックスを塗布してもよい。リード21は比較的堅固な部材であるが、これに代えて、はんだ又は金から成り、リードより柔らかいワイヤを用いることができる。

【0065】次いで、図6(c)に示すように、LSIチップ11と仮基板13との間の隙間にアンダーフィル樹脂14を注入し、所定の条件下で硬化させて保護層とする。この条件は、第1実施形態例の場合と同様である。

【0066】次いで、図6(d)に示すように、図6(c)の状態のリード21及びアンダーフィル樹脂14から仮基板13をウェットエッチングによって除去する。前述した各構成の仮基板13を用いた場合、塩化第2鉄エッチング液等を用いて除去することができる。更に、図6(e)に示すように、アンダーフィル樹脂14から露出する各リード21に対し、外部接続用のはんだボール15を形成する。

【0067】ここで、リード21の形成工程の一例を説明する。図7は、図6(b)の場合とは逆にLSIチップ11側にリード21が形成された状態を示す平面図、図8(a)～(c)は、リード21の作製過程を順に示す側面断面図である。

【0068】図7に示すように、矩形枠体状のフレーム32の開口32aの中央部分に向けて四方から複数のリード21が延設されており、各リード21の先端部にはLSIチップ11がボンディングで電氣的且つ機械的に結合されている。

【0069】図8(a)では、LSIチップ11の下方にリード21を位置させた状態で図7のフレーム32をセットし、図8(b)に示すように、所定構造の成型金型を用いてリード21を切断すると共に所定の形状に屈曲させることで、図8(c)に示す複数のリード21を備えたLSIチップ11を作製する。

【0070】第4実施形態例では、保護層(14)内に、配線パターンを変更できるリード21を備えるので、リード21の保護層(14)からの露出状態を変更することで、実装先の配線基板の配線パターンに応じて

配線のピッチや配列を適合させることができる。

【0071】次に、本発明の第5実施形態例について説明する。図9は、本実施形態例における半導体装置の製造工程を示す断面図であり、(a)～(g)は各製造工程を段階的に示す。

【0072】図9(a)に示すように、LSIチップ11は、電極形成面に、表面にAu鍍金(めっき)が施された複数の金属バンプ12を有する。この構造のLSIチップ11を、後に所定の接続端子パターン22とされる凸状パターン(22)を有する図9(b)の仮基板13上に、精密に位置合わせして載せる。

【0073】仮基板13には、ステンレス、Al又はCuから成る基板に感光性レジストを塗布し、フォトリソグラフィ技術を用いて配線パターンを形成した後、この配線パターンにAu鍍金、或いは、CuとAuとの積層構造による鍍金を施してから、感光性レジストを剝離することによって凸状パターン(22)を形成しておく。

【0074】仮基板13の凸状パターン(22)は、上記構成に限定されることはなく、アディティブ法、クラッド材のフォトリソグラフィ技術を用いたエッチング法、或いは、プレス加工法等の方法で形成することもできる。

【0075】次いで、図9(c)に示すように、LSIチップ11上の金属バンプ12を、仮基板13の凸状パターン(22)上に位置決めして載せた後に、LSIチップ11と仮基板13とを加圧しつつ、金属バンプ12表面の金と、凸状パターン(22)側の金とを圧着しつつボンディングを施し、金属バンプ12とその対応する凸状パターン(22)とを接続する。

【0076】更に、図9(d)に示すように、LSIチップ11と仮基板13との間の隙間にアンダーフィル樹脂14を注入し、所定の条件下で硬化させて保護層とする。この条件は、第1実施形態例と同様である。

【0077】次いで、図9(e)に示すように、アンダーフィル樹脂14及び凸状パターン(22)から仮基板13をウェットエッチングで除去する。このため、図9(d)では仮基板13に覆われていた凸状パターン(22)が、アンダーフィル樹脂14から露出して接続端子パターン22となる。前述した各構成の仮基板13を用いる場合、塩化第2鉄エッチング液等で除去することができる。

【0078】更に、図9(f)に示すように、外部接続用のパッド部分を除いた箇所にソルダーレジスト23を印刷法で塗布し、ソルダーレジスト23を所定条件下で硬化させることによって、配線パターン22の保護層を形成する。

【0079】次いで、図9(g)に示すように、アンダーフィル樹脂14及びソルダーレジスト23から露出する各接続端子パターン22のパッド部分に対し、外部接続用のはんだボール15を形成する。

【0080】次に、本発明の第6実施形態例について説明する。図10は、本実施形態例における半導体装置の製造工程を示す断面図であり、(a)～(g)は各製造工程を段階的に示す。

【0081】図10(a)に示すように、LSIチップ11は、電極形成面に、表面にAu鍍金が施された複数の金属パンプ12を有する。この構造のLSIチップ11を、後の工程で所定の接続端子パターン22とされる凸状パターン(22)を有する図10(b)の仮基板13上に、精密に位置合わせして載せる。

【0082】仮基板13には、次のような処理で凸状パターン(22)が形成されている。まず、ステンレス、Al、又は、Cuから成る基板に感光性レジストを塗布し、フォトリソグラフィ技術を用いて配線パターンを形成した後、配線パターンにAu鍍金を施す。更に、感光性レジストを剥離し、金鍍金をマスクとして仮基板13をハーフエッチングする。なお、仮基板13の凸状パターン(22)は、上記構成に限定されることはなく、第5実施形態例と同様に、アディティブ法等で形成することができる。

【0083】次いで、図10(c)に示すように、LSIチップ11上の金属パンプ12を仮基板13の凸状パターン(22)上に位置決めして載せた後に、LSIチップ11と仮基板13とを加圧しつつ金-金圧着のボンディングを施して、金属パンプ12とその対応する凸状パターン(22)とを接続する。

【0084】更に、図10(d)に示すように、LSIチップ11と仮基板13との間の隙間にアンダーフィル樹脂14を注入し、所定の条件下で硬化させて保護層とする。この条件は、第1実施形態例の場合と同様である。

【0085】次いで、図10(e)に示すように、アンダーフィル樹脂14側に凸状パターン(22)を残して、他の部分の仮基板13をウェットエッチングで除去する。このため、図10(d)では仮基板13の下面に覆われていた凸状パターン(22)が、アンダーフィル樹脂14から露出して接続端子パターン22となる。前述した各構成の仮基板13を用いる場合、塩化第2鉄エッチング液等で除去することができる。このように、仮基板13が凸状パターン(22)を有する1枚の金属製板部材で構成されるので、エッチング後の金属製板部材がそのまま配線として用いられる。

【0086】更に、図10(f)に示すように、外部接続用のパッド部分を除いた箇所に溶剤レジスト23を印刷法で塗布し、溶剤レジスト23を所定条件下で硬化させることによって、配線パターン22の保護層を形成する。

【0087】次いで、図10(g)に示すように、アンダーフィル樹脂14及び溶剤レジスト23から露出する各接続端子パターン22のパッド部分に対し、外部接続用のはんだボール15を形成する。

【0088】第5及び第6実施形態例では、半導体装置が、LSIチップ11の表面が樹脂製の保護層(14)に加えて保護層(23)で被覆されるので、ハンドリング時の取扱いや性能テストの実施がより簡便になる。また、保護層(14)内に、配線パターンを変更できる接続端子パターン22を備えるので、接続端子パターン22の保護層(23)からの露出状態を変更することで、実装先の配線基板の配線パターンに応じて配線のピッチや配列を適合させることができる。

10 【0089】また、第4、第5及び第6実施形態例では、保護層(14)又は保護層(23)内に再配線機能を有するので、第1～第3実施形態例のようにLSIチップ11側或いは回路基板の接続部側に再配線機能をもたせる必要がなく、従って、従来のLSIチップの設計条件や回路基板をそのまま利用できる。

【0090】以上のように、第1～第6実施形態例では、LSIチップ11を仮基板13に固定し、アンダーフィル樹脂14を注入して硬化させ、仮基板13の全部又は一部を剥離又は除去することでパッケージを製造するので、従来のような再配線基板24(図11)が要らず、パッケージサイズをLSIチップ11と同程度にして装置全体を小型化できる。また、簡素化された構造により、生産性が高く低コストのパッケージが得られる。

【0091】また、第1～第6実施形態例では、LSIチップ11の電極パッド上に形成された金属パンプ12の先端と同じ高さの保護層(14)が、各金属パンプ12の周囲を覆いつつLSIチップ11の表面を保護しているので、金属パンプ12に対するブローピング時に、LSIチップ11の本来の電極パッドを、性能テスト時の傷や接触による損傷等から保護できる。更に、LSIチップ11がアンダーフィル樹脂14で保護されることにより、ハンドリング時の取扱いや性能テストの実施が簡便になる。

【0092】第1～第6実施形態例では、アンダーフィル樹脂14及びその注入方法が、前記条件に限定されるものではない。例えば、アンダーフィル樹脂14として、エポキシ/フェノール樹脂系、フェノール樹脂系、アクリル樹脂系、及びシリコン系樹脂等の各種の樹脂が使用可能であり、使用する樹脂に応じて、ポッティング法、トランスファーモールド法、印刷法等による注入を行うことができる。アンダーフィル樹脂の硬化方法についても、樹脂の種類や特性によるものであり、前記条件に限定されない。

【0093】ポッティング法では、注射器状の注入器を使用し、LSIチップ11の周囲にアンダーフィル樹脂14を流入させ、LSIチップ11と仮基板13との間の隙間に毛細管現象で樹脂14を進入させる。トランスファーモールド法では、例えば図6(b)に示したLSIチップ11及び仮基板13の上下を金型で覆い、この

金型内に、アンダーフィル樹脂14を強制的に注入する。これにより、モールド形状がより向上する。印刷法では、ポットリング法と同様に、アンダーフィル樹脂14をLSIチップ11の周囲に滴下させ、毛細管現象によって隙間に進入させる。この場合、アンダーフィル樹脂14を狭い箇所に良好に注入することができる。

【0094】ここで、例えば仮基板13がフィルム状部材で形成されていると、必要な強度が得られず、アンダーフィル樹脂14から仮基板13を良好に剥離することができないが、第1～第6実施形態例では、仮基板13が金属製部材から成るので、次のような利点①～③が得られる。

【0095】①仮基板13自体が必要な強度を有するので、はんだバンプ12及び保護層(14)から仮基板13を容易に剥離することができる。

②仮基板13の剥離後に、有機成分がはんだバンプ12表面に残存するようなことがないので、良好な電気導通性や接合性が損なわれない。

③仮基板13が所要の強度をもつ平坦面を有するので、所定の圧力下ではんだバンプ12をリフローする際に、はんだバンプ12の先端部及び保護層(14)の表面が一平面状になる。

【0096】利点③に関して、図11で説明した従来の半導体装置では、信頼性向上の目的から再配線基板24とはんだバンプ12との密着性が高くされているので、たとえLSIチップ11から再配線基板24を剥離したとしても、剥離後の表面が凹凸状になり、本実施形態例のように保護層(14)とはんだバンプ12の先端部とが一平面状になることはない。また、例えば仮基板13に代えて、フィルム状の部材を用いた場合、このフィルム状部材の可撓性により、はんだバンプ12と保護層(14)とを一平面状に形成することはできない。

【0097】なお、第1～第6実施形態例では、仮基板13は、前記構成に限定されることはなく、はんだ接合工程と仮基板13の除去工程とが容易に実施できる構成を備えていればよい。また、各実施形態例の最終工程における外部接続用のはんだボール15の形成処理は必須ではなく、各実施形態例における構成材料及び各種の数値は、前記に限定されるものではない。

【0098】第1～第6の実施形態例では、LSIチップ11に保護層(14)及びはんだバンプ12を結合させたものをパッケージと称したが、本発明ではこれに限らず、例えばLSIチップ11の裏面(例えば図1における上面)にヒートスプレッタ(ヒートシンク)を装着したものをパッケージと呼ぶ。

【0099】以上、本発明をその好適な実施形態例に基づいて説明したが、本発明の半導体装置及びその製造方法は、上記実施形態例の構成にのみ限定されるものではなく、上記実施形態例の構成から種々の修正及び変更を施した半導体装置及びその製造方法も、本発明の範囲に

含まれる。

【0100】

【発明の効果】以上説明したように、本発明の半導体装置及びその製造方法によると、コストダウンを実現しながらも、再配線基板を用いないことによりパッケージの小型化を図ると共に、ハンドリング等の取り扱いや性能テストを簡便化させることができる。

【図面の簡単な説明】

【図1】本発明の第1実施形態例における半導体装置の製造工程を示し、(a)～(f)は各製造工程を段階的に示す断面図である。

【図2】外部接続用のはんだボールの形成前の半導体装置の一部を拡大した断面図であり、(a)は、先端球形状の金属バンプが形成された際の樹脂充填状態、(b)は、先端平坦状の金属バンプが形成された際の樹脂充填状態を夫々示す。

【図3】本発明の第2実施形態例における半導体装置の製造工程を示し、(a)～(f)は各製造工程を段階的に示す断面図である。

【図4】黒色酸化銅処理を施した仮基板の表面状態を示す斜視図である。

【図5】本発明の第3実施形態例における半導体装置の製造工程を示し、(a)～(f)は各製造工程を段階的に示す断面図である。

【図6】本発明の第4実施形態例における半導体装置の製造工程を示し、(a)～(e)は各製造工程を段階的に示す断面図である。

【図7】図6(b)の場合とは逆にLSIチップ側にリードが形成された状態を示す平面図である。

【図8】第4実施形態例におけるリードの製造工程を示し、(a)～(c)はリードの作製過程を順に示す側面断面図である。

【図9】本発明の第5実施形態例における半導体装置の製造工程を示し、(a)～(g)は各製造工程を段階的に示す断面図である。

【図10】本発明の第6実施形態例における半導体装置の製造工程を示し、(a)～(g)は各製造工程を段階的に示す断面図である。

【図11】従来のFCBGA方式のパッケージ構造を備えた半導体装置を示す断面図である。

【符号の説明】

11：LSIチップ(半導体チップ)

12：金属バンプ

13：仮基板

13a：黒化処理された部分

14：アンダーフィル樹脂(保護層)

15：外部接続用のはんだボール

21：リード

22：接続端子パターン

23：ソルダーレジスト(別の保護層)

31: 疑似パターン

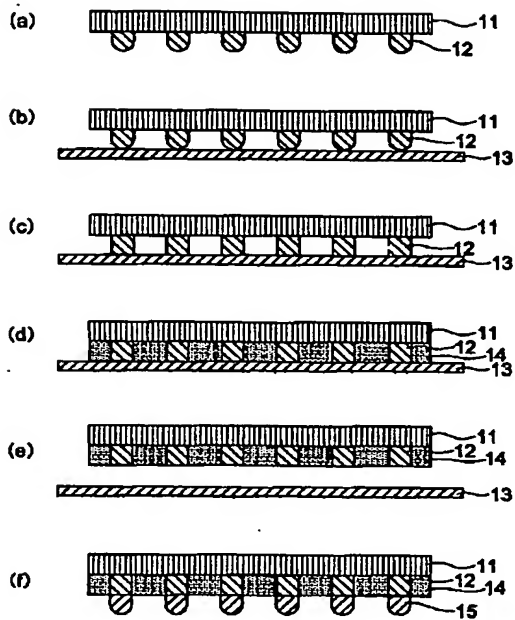
32: フレーム

17

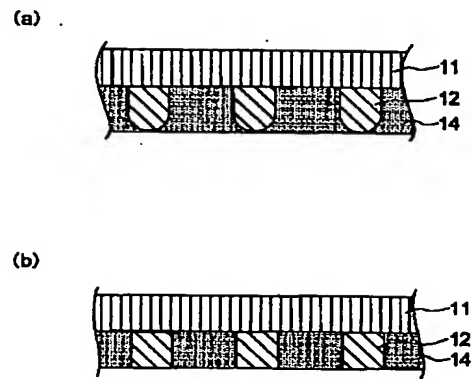
* 32a: 開口

*

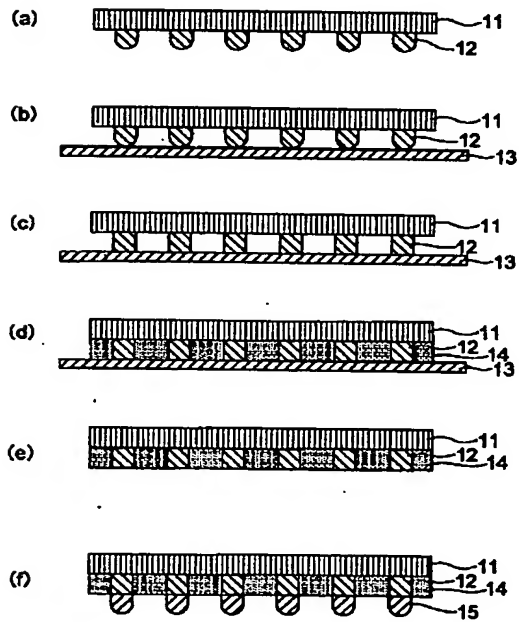
【図1】



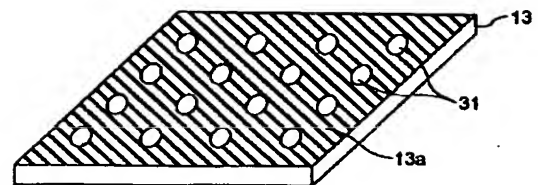
【図2】



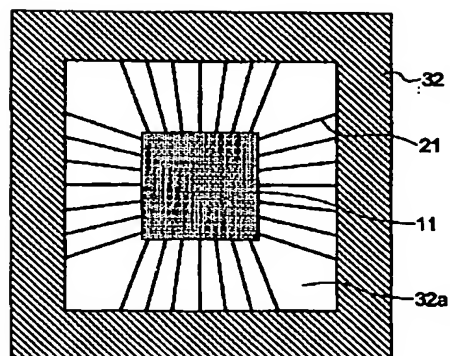
【図3】



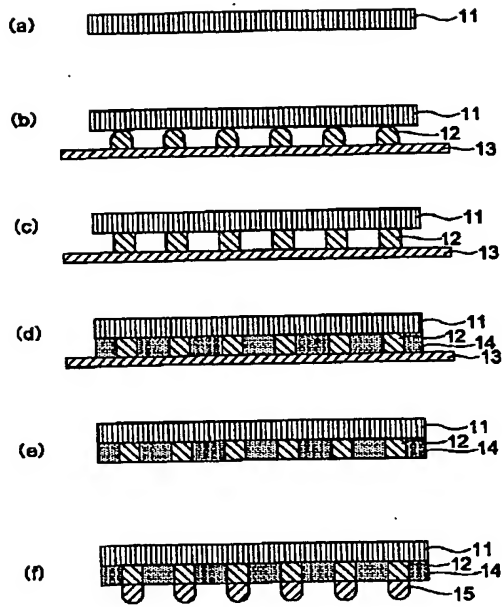
【図4】



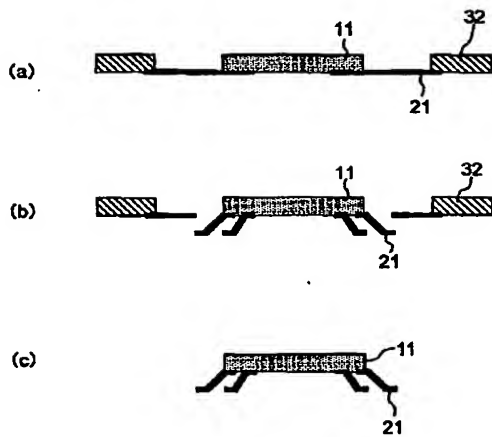
【図7】



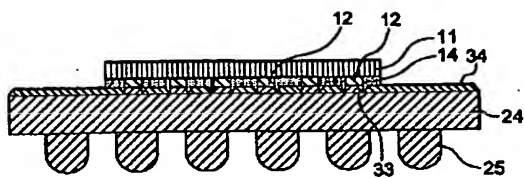
【図5】



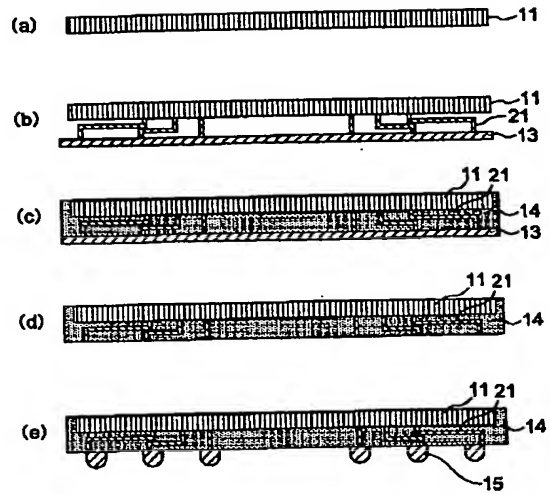
【図8】



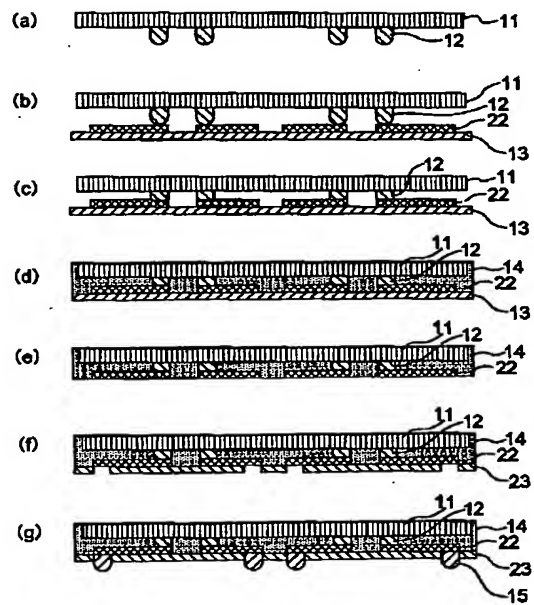
【図11】



【図6】



【図9】



【図10】

